(19) 世界知的所有権機関 国際事務局



(43) 国際公開日 2005年3月31日(31.03.2005)

PCT

(10) 国際公開番号 WO 2005/029853 A1

(51) 国際特許分類7:

H04N 5/91

(21) 国際出願番号:

PCT/JP2003/011949

(22) 国際出願日:

2003 年9 月19 日 (19.09.2003)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

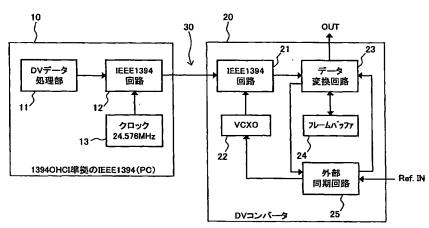
- (71) 出願人 (米国を除く全ての指定国について): カノープ ス株式会社 (CANOPUS CO., LTD.) [JP/JP]: 〒651-2241 兵庫県神戸市西区室谷 1丁目2番地の2 Hyogo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田渕 敦之 (TABUCHI, Atsushi) [JP/JP]; 〒651-2241 兵庫県 神戸 市西区室谷 1丁目2番地の2カノープス株式会社 内 Hyogo (JP).

- (74) 代理人: 小野 由己男, 外(ONO, Yukio et al.); 〒530-0054 大阪府 大阪市北区南森町 1丁目4番19号サ ウスホレストビル 新樹グローバル・アイピー特許 業務法人 Osaka (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

/続葉有/

(54) Title: DATA CONVERSION SYSTEM

(54) 発明の名称: データ変換システム



- 10...IEEE1394(PC) CONFORMING TO 1394OHCI
- 11...DV DATA PROCESSING SECTION
- 12...IEEE1394 CIRCUIT
- 13...CLOCK 24.576 MHZ 20...DV CONVERTER

- 21...IEEE1394 CIRCUIT
- 23...DATA CONVERSION CIRCUIT
- 24...FRAME BUFFER
- 25...EXTERNAL SYNCHRONIZING CIRCUIT

(57) Abstract: A data conversion system for converting data outputted from an information processor into data in a different format in real time while preventing any defect of an image such as frame missing or frame repetition of moving image data by synchronizing data transfer with converted data output. One of first and second nodes on an IEEE1394 bus functions as a cycle master, and first data is transferred from the first node to the second node in synchronism with a cycle start packet outputted from the cycle master. Second data generated by converting the first data by the second node is outputted in synchronism with a reference signal inputted from outside. The system comprises an external synchronizing signal receiving section provided at least in one of the first and second nodes and adapted to receive the reference signal inputted from outside and a synchronism control section for synchronizing the frequency of a cycle start packet outputted from the cycle master with the reference signal received by the external synchronizing signal receiving section.



OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される 各PCTガゼットの巻頭に掲載されている「コードと略語 のガイダンスノート」を参照。

添付公開書類:

-- 国際調査報告書

(57) 要約: 本発明は、情報処理装置から出力されるデータを異なるフォーマットのデータにリアルタイムで変換する際に、データの転送と変換されたデータの出力を同期させることにより、動画像データにおけるフレーム落ちやフレーム繰り返しなどの画像の欠陥が生じることを防止するデータ変換システムを提供する。このデータ変換システムは、IEEE1394バス上の第1ノードと第2ノードとのうちいずれか一方がサイクルマスタとなり、サイクルマスタが出力するサイクルスタートパケットに同期して、第1ノードから第2ノードへの第1データの転送を行うとともに、第2ノードにおいて第1データから変換された第2データを外部から入力されるリファレンス信号に同期して出力するデータ変換システムであって、第1ノードおよび第2ノードの少なくとも一方に設けられ、外部から入力されるリファレンス信号を受信する外部同期信号受信部と、サイクルマスタが出力するサイクルスタートパケットの周波数を外部同期信号受信部で受信したリファレンス信号に同期させる同期調整部とを備える。